

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-021118

(43)Date of publication of application : 24.01.1995

(51)Int.CI. G06F 13/28  
G06F 15/78

(21)Application number : 05-164611 (71)Applicant : MITSUBISHI ELECTRIC CORP

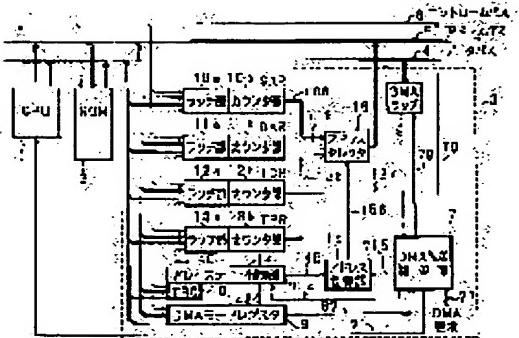
(22)Date of filing : 02.07.1993 (72)Inventor : HONGO KATSUNOBU  
OKI TATSUYA

## (54) MICROCOMPUTER

### (57)Abstract:

**PURPOSE:** To speed up system operation by automatically transferring DMA in different transfer mode without the intervention of a CPU.

**CONSTITUTION:** When a DMA controller 3 is actuated by a DMA request 77, the CPU 1 is held, and a transfer source address, a transfer destination address, the number of transfer bytes, a transfer parameter address, and a transfer mode are read out of a ROM 2 in order and written in the source address register SAR, destination address register DAR, transfer counter register 12a, transfer parameter register TCR, and TPR mode register 8 in the DMA controller, thereby performing the DMA transfer of specified data. The transfer of the transfer parameters and the DMA transfer of the data (transfer of one block) are successively performed in order and the transfer is carried out until blocks are transferred by the number of blocks set previously in a transfer block counter 19.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-21118

(43)公開日 平成7年(1995)1月24日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 13/28  
15/78

識別記号 庁内整理番号  
3 1 0 H 8944-5B  
5 1 0 D

F I

技術表示箇所

審査請求 未請求 請求項の数5 OL (全12頁)

(21)出願番号 特願平5-164611

(22)出願日 平成5年(1993)7月2日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 本郷 勝信

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社北伊丹製作所内

(72)発明者 沖 達哉

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社北伊丹製作所内

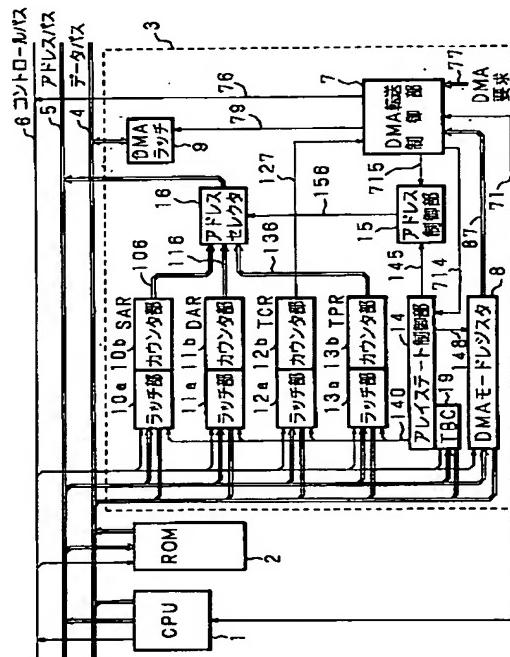
(74)代理人 弁理士 高田 守

(54)【発明の名称】マイクロコンピュータ

(57)【要約】

【目的】転送モードの異なるDMA転送をCPUの介在なしに自動的に行えるようにしてシステム動作の高速化を図る。

【構成】DMA要求77によりDMAコントローラ3が起動するとCPU1をホールドし、ROM2内の転送元アドレス、転送先アドレス、転送バイト数、転送パラメータアドレス及び転送モードを順に読み出し、DMAコントローラ内のソースアドレスレジスタSAR、ディスティネーションアドレスレジスタDAR、転送カウンタレジスタ12a、転送パラメタレジスタTCR及びTPRモードレジスタ8へ書き込み、指定されたデータのDMA転送を行う。この転送パラメータの転送とデータのDMA転送(1ブロックの転送)を連続して順次実行し、予め転送ブロックカウンタ19に設定したブロック数分を転送して終了する。



## 【特許請求の範囲】

【請求項1】 ROM 及びDMA コントローラを内蔵したマイクロコンピュータにおいて、ROM に書き込まれている DMA 関連のアドレス及び転送バイト数の情報を前記DMA コントローラ内の所定レジスタへ転送する第1のDMA 転送及び前記情報により指定される所定のデータ転送を行う第2のDMA 転送を繰り返し行う連続形のDMA 転送を実行する手段と、前記第1のDMA 転送の実行に際し、前記情報及び他のDMA 関連設定情報を前記DMA コントローラ内の所定のレジスタへ転送するDMA 転送を実行する手段とを備えることを特徴とするマイクロコンピュータ。

【請求項2】 第1若しくは第2のDMA 転送又は連続形のDMA 転送の実行を指定する転送モードレジスタをDMA コントローラに備え、該転送モードレジスタは、CPU により書換え可能であり、また前記転送モードレジスタのうち連続形のDMA 転送を指定するビットを含む特定ビットを除き第1のDMA 転送における他のDMA 関連設定情報のDMA 転送による書換えを可能としてある請求項1記載のマイクロコンピュータ。

【請求項3】 DMA 関連のアドレス指定ビットが奇数バイト、内部データバスが2バイトであり、第1のDMA 転送では転送元転送開始アドレスの1バイトと転送モードレジスタの第1バイトとを同時的に、また転送先転送開始アドレスの1バイトと転送モードレジスタの第2バイトとを同時に前記内部データバスを介して転送すべくしてある請求項1記載のマイクロコンピュータ。

【請求項4】 転送モードレジスタをCPU からアクセスする場合は、転送モードレジスタの第1バイトは内部データバスの上位（又は下位）バイトに、また、第2バイトは下位（又は上位）バイトに夫々接続され、第1のDMA 転送の場合は、転送モードレジスタの第1バイト及び第2バイトはともに前記内部データバスの下位（又は上位）に接続されるべくなしてある請求項3記載のマイクロコンピュータ。

【請求項5】 ROM 及びDMA コントローラを内蔵したマイクロコンピュータにおいて、ROM に書き込まれている DMA 関連のアドレス及び転送バイト数の情報を前記DMA コントローラ内の所定レジスタへ転送する第1のDMA 転送及び前記情報により指定される所定のデータ転送を行う第2のDMA 転送を繰り返し行う連続形のDMA 転送を実行する手段と、前記第1のDMA 転送の実行に際し、前記情報及び内蔵タイマの設定情報を該タイマ内の所定のレジスタへ転送するDMA 転送を実行する手段とを備えることを特徴とするマイクロコンピュータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ダイレクト・メモリ・アクセス（以下、DMA という）コントローラを内蔵したマイクロコンピュータ（以下、マイコンという）に関するものである。

## 【0002】

【従来の技術】 図3は、例えば「■92 三菱半導体データブック 16ビットマイクロコンピュータ編」2-299頁～2-325頁記載のDMA コントローラ内蔵マイコンの構成を表す略示ブロック図である。図3において、1はマイコンの中央演算処理装置（CPU）、2はリード・オンリー・メモリ（ROM）、3はDMA コントローラ、4、5、6は夫々データバス、アドレスバス、コントロールバスである。ここでデータバス4は16ビット幅、アドレスバスは24ビット幅とする。7はDMA 転送全般の制御（DMA 要求77受付、各DMA 制御用タイミング信号生成、CPU ホールド信号出力、DMA 開始／終了制御等）を行うDMA 転送制御部、8はDMA 転送モードを指定するDMA モードレジスタ、9はDMA 転送データを一時ラッチするDMA ラッチ、10a,10b はDMA 転送対象の転送元アドレスを指定、生成するソース・アドレス・レジスタ（以下、SAR という）の夫々ラッチ部及びカウンタ部、11a,11b は同じく転送先アドレスを指定、生成するディスティネーション・アドレス・レジスタ（以下、DAR という）のラッチ部及びカウンタ部、12a,12b はDMA 転送する転送バイト数を指定、カウントする転送カウンタレジスタ（以下、TCR という）のラッチ部及びカウンタ部、13a,13b はROM 2内に記憶されているSAR 10a、DAR 11a、TCR 12a 等へ転送すべきデータのアドレスを指定、カウントする転送パラメータレジスタ（以下、TPR という）のラッチ部及びカウンタ部、14はROM 2内のデータを上記SAR のラッチ部10a、DAR のラッチ部11a、TCR のラッチ部12a（及びTPR のラッチ部13a）へ転送するDMA 転送を制御するアレイステート制御部、16はDMA 転送時アドレスバス5に出力すべきアドレスを選択するアドレスセレクタ、15はアドレスセレクタ16を制御するアドレス制御部、19は転送ブロック数をカウントする転送ブロックカウンタ（以下TBC という）を示す。

【0003】 図11はSAR のラッチ部10a の書き込み制御部分の回路図であり、図中100aはラッチ部10a のなかの1ビット分のラッチ、510 はラッチ部10a に割りつけられたアドレスと書き込み信号を検出し、ラッチ部10a に対しラッチ信号110 を出力するSAR 用のアドレスデコーダ部、101 はこのアドレスデコーダ部510 からのラッチ信号110 とアレイステート制御部14からアレイステート時に出力されるラッチ信号140aとのOR（論理和）を取るORゲートである。

【0004】 また、図6、図8は従来の後述する連続形のDMA 転送を説明する夫々タイミング図、転送パラメータの配置図である。図4、図5はDMA 転送を説明するための簡単なタイミング図及び転送のモデル図であり、図中31,32 は夫々DMA 転送対象となる転送元の周辺装置及び転送先の周辺装置である。ここで、SAR 10a,10b、DAR 11a,11b、TCR 12a,,12b、TPR 13a,13b はとともに24ビット（3バイト）構成とする。

【0005】次に動作について説明する。まず初めに基本的なDMA転送について図3、図4及び図5を用いて説明する。DMAコントローラ3に外部よりDMA転送を要求するDMAリクエスト信号77(DReq.)が入るとDMA転送制御部7はCPU1に対しCPUホールド信号71を出し、CPU1をホールド状態とする。次に予めCPU1によってSAR,DAR,TCRの各ラッチ部10a,11a,12aに書き込まれた転送元／先アドレス及び転送バイト数を同カウンタ部10b,11b,12bに転送し、DMA転送を開始する。図4における斜線部はCPU1及びDMAコントローラ(DMAC)3が動作状態であることを示す。CPU1によるSARのラッチ部10aへのデータ書き込み時には図11のアドレスデコーダ部510はラッチ信号110を出力し、データバス4上のデータをラッチ100aにラッチさせる。

【0006】DMA転送の個々のデータ転送は次の手順で行う。まず、アドレスセレクタ16はアドレス制御部15からの制御信号156に従いSARのカウンタ部11bの出力アドレス(転送元アドレス)106を選択し、アドレスバス5へ出力する。同時にDMA転送制御部7は読み出し信号を出力線76を介してコントロールバス6へ出力する。この状態で図5に示す転送元周辺装置31から該当アドレスのデータがデータバス4へ読み出される。このときDMA転送制御部7は別にDMAラッチ9に制御信号79を出力し、DMAラッチ9に読み出されているデータをラッチさせる。次に同様な手順でDARのカウンタ部11bの出力アドレス(転送先アドレス)をアドレスバス5へ書き込み、信号をコントロールバスへ出力する一方、DMAラッチ9に先にラッチしたデータを再びデータバスへ出力させ、このデータを転送先周辺装置32へ書きませる。この一連の動作で1回分のデータを転送する。1回の転送処理後、SAR,DARのカウンタ部10b,11bは各アドレスをインクリメント又はデイクリメントし、次回転送のアドレスを生成し、また、TCRのカウンタ部12bはカウント値をデイクリメントする。

【0007】上記のデータ転送を繰り返し、TCRのカウンタ部12bのカウント値が0(ゼロ)となったらカウンタ部12bはDMA転送制御部7に対しDMA転送終了信号127(DEnd)を出力する。この信号を受けてDMA転送制御部7はCPUホールドを解除しCPU1の動作を復帰させ、また、自らは動作を停止する。DMA転送の動作モードの指定は予めCPU1によりDMAモードレジスタ8に所定データを書き込むことにより実現できる。

【0008】次に転送パラメータ(後述)の転送と通常のデータのDMA転送を繰り返し連続して行う転送(アレイチェーン転送、リンクアレイチェーン転送)につき説明する。リンクアレイチェーン転送では、予めROM2内に図8のメモリ配置図に示すように転送元開始アドレス(以下、SAという)、転送先開始アドレス(以下、DAという)、転送バイト数(以下、TBという)及び転送パラメータアドレス(以下、TPという)からなる一連の転送

パラメータを書き込んでおく。これら転送パラメータ1組で指定されるDMA転送の単位を1ブロックと呼ぶ。ここで、転送パラメータアドレス(TP)は、次ブロックのDMA転送における転送パラメータ(群)の先頭アドレスを示すものであり、これらのパラメータを連続して記述するアレイチェーン転送では存在しない。

【0009】実際のDMA転送は以下の手順で実行される。まず、予めDMAモードレジスタ8に連続転送モード(繰り返し/単発/アレイチェーン/リンクアレイチェーン転送の選択、この場合はリンクアレイチェーン転送)、転送単位ビット数(1回の転送ビット数)、転送モード(バースト、サイクルスチール転送の選択)、転送アドレス方向(インクリメント/デイクリメント/固定)等の動作モード指定を書き込んでおく。また、TPRのラッチ部13aに最初の転送パラメータアドレスTPを書き込んでおく。このTPはROM2内の転送パラメータ(群)の最初のアドレス、即ち図8における転送元開始アドレス(SA)1の下位アドレスに当たるアドレスである。更に、転送ブロック(後述)数を転送ブロックカウンタ19へ書き込んでおく。

【0010】図6に示すようにDMA要求(DReq.)77がDMA転送制御部7に入力されると、制御部7は前述のとおりCPU1をホールドし、次にアレイステート制御部14を起動する。アレイステート制御部14はまず、TPRのラッチ部13aの内容(最初の転送パラメータアドレスTP)を同カウンタ部13bに転送させ、更にアドレス制御部15を介してアドレスセレクタ16からTPR13bのアドレスをアドレスバス5に出力する。同時にDMA転送制御部7は読み出し信号をコントロールバス6へ出力し、ROM2から転送元開始アドレス(SA)1の下位、中位のデータSA・M、SA・Lをデータバス4へ読み出す。このデータは、アレイステート制御部14出力の制御信号群140(具体的にはラッチ信号)の指示に従いSARのラッチ部10aにラッチされる。即ち図11においては、アレイステート制御部14からSARのラッチ部10aに対して出力されるラッチ信号140aがアクティブとなり、ラッチ100aの入力ゲートを開けデータバス4上のデータをラッチ100aにラッチさせる。

【0011】次にTPRのカウンタ部13bはカウントアップし、次の転送パラメータアドレス、即ち転送元開始アドレス(SA)1の上位アドレスを指示する。次に先と同様の手順でROM2から転送元開始アドレス(SA)1の上位(SA・H)及びダミーデータ(dm)を読み出し、前者のみSARのラッチ部10aにラッチする。後者はどこへもラッチされない。以上の動作を繰り返し、ROM2内の転送元開始アドレス(SA)1、転送先開始アドレス(DA)1、転送バイト数(TB)1及び転送パラメータアドレス(TP)2は夫々SAR,DAR,TCR及びTPRのラッチ部10a,11a,12a,13aに順にラッチされる。これらの転送をアレイステートと呼び、図6においてA1と記している。

【0012】このアレイステートの次に転送ステート(図6にT1と示す)と呼ばれる正規のDMA転送を実行する。この転送は先の簡単なDMA転送の説明で述べたとおり、SAR, DAR, TCRの内容に従いデータ転送を行うものである。図6のT1は転送ステートを示し、R1,W1は夫々1転送の読み出し、書き込みサイクルを示す。転送ステートでTPRのカウンタ部13bがゼロ、即ち1ブロックの転送終了を検出すればTBC19はデイクリメントし、次のブロックのアレイステートとなる。

【0013】TBC19は前述のとおり1ブロックの転送完了とともに1つデイクリメントし、このカウント値が0(ゼロ)になった時、DMA転送終了信号197(DEnd)が出力されDMA転送は終了する。上記の説明は1回のDMA要求により全ての(全ブロックの)DMA転送を一気に実行するバースト転送について述べたものであるが、1ブロック毎にDMA転送を中断し、次のDMA要求で次の1ブロックの転送を順次行うブロックバースト転送及び1つのDMA要求に対し1単位のDMA転送しか行わないサイクルスチール転送の場合の説明は略している。

#### 【0014】

【発明が解決しようとする課題】従来のDMAコントローラ内蔵のマイコンは以上のように構成されているので、アレイチェーン転送、リンクアレイチェーン転送において転送単位ビット数(1回の転送ビット数)、転送モード(バースト転送、サイクルスチール転送、ブロックバースト転送)、転送アドレス方向(インクリメント/デイクリメント/固定)、及びウェイトモード(読み出し、書き込みサイクルを延ばすウェイトサイクルの有無)等DMAモードレジスタ8の内容は最初に設定したままで変更できないという問題点があった。更に、同様に、内蔵するタイマのカウント値をアレイステートで書き込めないため、タイマのオーバーフローにより所定のDMA転送を希望の時間毎に行なうことがCPUの介入なしにはできないという問題点があった。

【0015】この発明はこのような問題点を解消するためになされたものであり、第1~4の発明はアレイステートでDMAモードレジスタ8の書換えを可能とするDMA内蔵マイコンを提供することを目的とし、第5の発明はアレイステートで内蔵するタイマの設定値を変更できるDMA内蔵マイコンを提供することを目的としている。

#### 【0016】

【課題を解決するための手段】第1の発明に係るマイクロコンピュータは、ROM及びDMAコントローラを内蔵したマイクロコンピュータにおいて、ROMに書き込まれているDMA関連のアドレス及び転送バイト数の情報を前記DMAコントローラ内の所定レジスタへ転送する第1のDMA転送及び前記情報により指定される所定のデータ転送を行う第2のDMA転送を繰り返し行う連続形のDMA転送を実行する手段と、前記第1のDMA転送の実行に際し、前記情報及び他のDMA関連設定情報を前記DMAコントロ

ーラ内の所定のレジスタへ転送するDMA転送を実行する手段とを備えることを特徴とする。

【0017】第2の発明に係るマイクロコンピュータは、第1若しくは第2のDMA転送又は連続形のDMA転送の実行を指定する転送モードレジスタをDMAコントローラに備え、該転送モードレジスタは、CPUにより書換え可能であり、また前記転送モードレジスタのうち連続形のDMA転送を指定するビットを含む特定ビットを除き第1のDMA転送における他のDMA関連設定情報のDMA転送による書換えを可能としてあることを特徴とする。

【0018】第3の発明に係るマイクロコンピュータは、DMA関連のアドレス指定ビットが奇数バイト、内部データバスが2バイトであり、第1のDMA転送では転送元転送開始アドレスの1バイトと転送モードレジスタの第1バイトとを同時的に、また転送先転送開始アドレスの1バイトと転送モードレジスタの第2バイトとを同時に前記内部データバスを介して転送すべくなしてあることを特徴とする。

【0019】第4の発明に係るマイクロコンピュータは、転送モードレジスタをCPUからアクセスする場合は、転送モードレジスタの第1バイトは内部データバスの上位(又は下位)バイトに、また、第2バイトは下位(又は上位)バイトに夫々接続され、第1のDMA転送の場合は、転送モードレジスタの第1バイト及び第2バイトはともに前記内部データバスの下位(又は上位)に接続されるべくなしてあることを特徴とする。

【0020】第5の発明に係るマイクロコンピュータは、ROM及びDMAコントローラを内蔵したマイクロコンピュータにおいて、ROMに書き込まれているDMA関連のアドレス及び転送バイト数の情報を前記DMAコントローラ内の所定レジスタへ転送する第1のDMA転送及び前記情報により指定される所定のデータ転送を行う第2のDMA転送を繰り返し行う連続形のDMA転送を実行する手段と、前記第1のDMA転送の実行に際し、前記情報及び内蔵タイマの設定情報を該タイマ内の所定のレジスタへ転送する手段とを備えることを特徴とする。

#### 【0021】

【作用】この発明におけるDMA内蔵マイコンは、アレイステートにおいてアレイステート制御部の制御により予め転送バラメータの一部としてROM内に記憶しているDMAモードのデータ又はタイマの設定データをデータバスを介して他の転送バラメータの転送と同様にDMAモードレジスタあるいは内蔵タイマのレジスタへ転送する。

#### 【0022】

【実施例】以下、この発明の一実施例を図面に基づいて説明する。図1は第1~4発明に係る第1の実施例を示す。図1において148はアレイステートにおいて、アレイステート制御部14がDMAモードレジスタ8へ出力する書き込み制御信号であり、他の部分は図3のブロック図記

載のものと同じである。また、図2は第5発明に係る第2の実施例を示す。図2において20は内蔵タイマ、141はアレイステートにおいてアレイステート制御部14がタイマ20へ出力する書き込み制御信号、207はタイマ20のオーバーフロー時にDMAコントローラ3に対し出力するDMA要求信号、207は上記タイマ20からのDMA要求信号であり、他の部分は図3記載のものと同じである。

【0023】図12、図13は第2の発明に係るDMAモードレジスタ8の2種類のビット対応のレジスタの書き込み制御部分の回路図であり、図12はアレイステートにおいては書き変えできないビット、図13はアレイステートで書き変えできるビットを示している。図中508はアドレスデコーダ部510と同様の機能を持つDMAモードレジスタ用のアドレスデコーダ部、83はこのアドレスデコーダ部508が出力する書き込み信号、81はこのアドレスデコーダ部508からの書き込み信号83とアレイステート制御部14からアレイステート時の必要なタイミングで出力される書き込み信号148dとのORを取るORゲート、80a、80bは各ビットのレジスタである。

【0024】図14は第3、第4の発明に係るDMAモードレジスタ8の書き込み制御部の回路図であり、図中8a、8bは夫々DMAモードレジスタ8の下位、上位バイトに対応するレジスタ、84は上記下位バイトのモードレジスタ8aへ接続するデータバスの下位バイト4aとするか上位バイト4bとするかのバスセレクタ、148fはアレイステート制御部14がアレイステートの必要タイミングで出力するセレクト信号、81、82は夫々上位、下位バイトのモードレジスタ8b、8aの書き込み信号81a、82aを上記書き込み信号83及びアレイステート制御部14からの書き込み信号148d、148eのORを取るORゲートである。図15は第5の発明に係るタイマ20内のカウントレジスタの書き込み制御部分の回路図であり、図中201はタイマレジスタのリロード値をラッチするリロードレジスタ、520、203は図11のアドレスデコーダ510とORゲート101と同様の機能をもつアドレスデコーダとORゲートである。

【0025】図9は第1の発明を単純に実施した場合の転送パラメータの配置図、図7、図10は第3、4の発明の一実施例における夫々タイミング図及び転送パラメータの配置図である。図16は第5の発明に係るDMAコントローラの動作を示すタイミング図である。

【0026】次に動作について説明する。第1～第4の発明に係るリンクアレイチェーン転送モード（以下、従来と区別するため拡張リンクアレイチェーン転送モードと呼ぶ）のために各転送パラメータは図10に示すとおり転送モードレジスタ14へ転送されるべき転送モードのデータは下位バイト、上位バイトに分かれ、従来夫々転送元開始アドレス(SA)、転送先開始アドレス(DA)のダミー バイトが置かれていた所（図10にM1、M2で示す）に配置されるとする。DMA転送が開始されると図7のタイミング図に示すとおりアレイステートA1ではまず、転送元開

始アドレス(SA)の下位、中位バイトのデータSA・L、SA・MがROM2からSARのラッチ部10aに転送される。次に転送元開始アドレス(SA)の上位バイトのデータSA・H及び転送モードの下位データM・Lが転送され、順次各転送パラメータの転送を行っていく。アレイステートで転送モードのデータが転送される以外の動作は従来例と同じであるので説明を省略する。

【0027】上述のROM2上の転送モードのデータを転送モードレジスタ8へ転送する動作を以下に更に詳しく説明する。TPRのカウンタ部13bが outputする転送パラメータのアドレスとDMA転送制御部7が outputする読み出し信号によりROM2から上記のように転送元開始アドレス(SA)の上位バイトのデータSA・Hは下位のデータバス4aに、また転送モードの下位のデータM・Lは上位のデータバス4bに夫々読み出される。前者は従来例と同じくSARのラッチ部10aにラッチされる。後者は、この時セレクト信号148f（図14）により上位のデータバス4bの方を選択し、このバスを下位バイトのモードレジスタ8aの入力へ接続しているバスセレクタ84を通り同レジスタ8aに書き込まれる。この時にアレイステート制御部14から同レジスタ8aへの書き込み信号148eが outputされているのは言うまでもない。このアレイステート制御部14からのセレクト信号148fはアレイステート実行中の上記のとおり上位のデータバス4bを選択し、それ以外の場合は逆に下記のデータバス4aを選択している。よって、CPU1からの書き込み時には下位のデータバス4aのデータを下位のDMAモードレジスタ8aに書きめる。

【0028】一方、アレイステートで転送モードの上位データM・Hも上位のデータバス4bに読み出されるので、このデータはそのまま上位のDMAモードレジスタ8bへ書き込まれる。このとき、書き込み信号148dが outputされていることは言うまでもない。以上のようにアレイステートで転送されたデータにより新たにDMAモードレジスタ8に設定されたモードの条件は、次の転送ステートでのDMA転送から有効となる。

【0029】DMAモードレジスタ8においては、この拡張リンクアレイチェーン、同じく拡張アレイチェーン、従来のリンクアレイチェーン、従来のアレイチェーン、繰り返し転送、単転送等の転送モードも指定されるが、これらの転送モードを指定するビットはアレイステートで書き変えられないようとしている。これはこれらのモード指定が変わるとアレイステートの内容及びアレイステートの有無が異なり正常なDMA転送ができないためである。即ち、図12に示すようにこれらのビットの書き込み制御回路についてはアレイステート制御部からの書き込み信号を使わず、CPU1からの書き込みのみ有効であるような構成としている。

【0030】第1の実施例では転送モードのデータの配置を図10に示すようにしたが、これを図9に示すように従来の転送パラメータの上に配置してもよい。これによ

りアレイステート実行サイクルは増えるが、データバスの上位、下位とモードレジスタの上位、下位とが同じとなるため図14に示すバスセレクタ84と同セレクト信号140fは不要となり回路はより簡単となる。

【0031】次に、第5発明に係る第2の実施例について説明する。転送バラメータの配置は第1の実施例の図9、図10に準じ、この転送モードのデータをタイマ設定用データに置き換えたものを想定する。アレイステートでのこのタイマ設定用データを図2のタイマ20の各ビットのレジスタ201(図15)へ書込む手順も第1の実施例の転送モードのデータのDMAモードレジスタ8への転送に準じるので詳しい説明は省く。第2の実施例では、まず従来と同じ初期設定に加え、タイマ20の動作モード及びカウント値を設定しておく。また、DMAの動作モード(転送モード)はブロックバースト転送を設定し、DMA要求はタイマからの要求が有効となるよう設定しておく。

【0032】以降のDMAコントローラの動作を図16のタイミング図に従って説明する。DMAが起動していない状態で、CPU1から又は外部要因からタイマ20を起動する。これによりタイマ20は内部のカウントレジスタのリロードレジスタ201に予めCPU1が書き込んだカウント値を図15に示していないタイマのカウンタ部へ転送すると同時にカウントを開始する。これと同時にタイマ20はDMAコントローラ3に対しDMA要求信号207(DReq.)を出力し、DMAコントローラ3を起動する。これによりDMAコントローラはまずアレイステート、次に転送スタートを実行する。予め転送モードをブロックバースト転送としているので、この1ブロック分の転送でDMA転送は終了する。このアレイステートで従来の転送バラメータに加え、タイマ設定データ $t_1$ （具体的にはタイマのカウント設定データ）をタイマ20のリロードレジスタ201に転送する。

【0033】一方、タイマ20はカウントを続け所定のカウント（図16の $t_0$ ）を終えた時点で再びDMAコントローラ3に対しDMA要求信号207を出力すると同時に先にリロードレジスタ201にラッチされた新たなカウント値をカウンタへ転送し再びカウントを開始する。以上の動作を繰り返し行うことで図16に示すとおり、転送バラメータメモリに記述したタイマ設定データで指定する時間間隔ごとに所定のDMA転送を実行する。なお、図16に示すとおり、最初の1回目のDMA転送はアレイステートA1でタイマ設定データ $t_1$ を転送することだけが目的であり、データのDMA転送T1は本来必要のないダミー転送となる。

【0034】以上の動作により転送バラメータの一つとして設定したタイマ設定データ( $t_1, t_2, \dots, t_n$ )により、DMA転送を開始する時間をCPU1を介さずに指定できる。なお前述の実施例ではSAR, DAR, TCR, TPRのカウンタ部10b, 11b, 12b, 13bは夫々独立した別個の

ものを想定したが、各カウンタ部に共通のインクリメンタ、ディクリメンタを用いてもよい。また同様にSARとTPR、TCRとTBCと同じレジスタのラッチとカウントレジスタに分けて構成してもよい。

【0035】また前述の実施例ではマイコン内のDMAコントローラが1チャネルのみのモデルを想定したが、複数チャネルのDMAコントローラを持つものでもよいことは言うまでもない。また、第1～4の発明及び第5の発明を併せて実現してもよい。さらに、第5の発明ではアレイステートでタイマの設定値を転送するようにしたが、これをシリアルI/O関連、D-A(ディジタルアナログ)変換器等の周辺装置のレジスタへの設定データの転送にしてもよい。また、複数のタイマを持つマイコンでは、どのタイマのレジスタへ設定データを転送するか選択できるようにしてもよい。

【0036】

【発明の効果】以上のように第1～4の発明によれば、アレイチェーン、リンクアレイチェーン転送におけるアレイステートで転送バラメータの1つとしてDMAモードレジスタ8の内容を転送できるようにしたので、CPU1の介在なしで一連のDMA転送のモードを変更でき、マイコンのソフトウェア量を削減できるとともに、複数のモードが異なるDMA転送を連続して行えシステム動作を高速に行えるという効果が得られる。また、第3、第4の発明のように転送バラメータの転送時ダミーバイトとしていた所を利用シテ DMAモードレジスタの内容(転送モードのデータ)を転送するようにすれば、前述の効果をアレイステートの時間を長くすることなく実現できる。

【0037】第5の発明によれば、同じく転送バラメータの1つとしてタイマの設定値(タイマのカウント値設定)を転送できるようにしたので、これら予め設定したタイマの設定値で決まる任意の時間毎にCPU1の介在なしにDMA転送を実施でき、マイコンのソフトウェア量を削減できるとともに、システム動作を高速に行える効果が得られる。

【図面の簡単な説明】

【図1】第1～4の発明に係るDMAコントローラ内蔵マイコンのブロック図である。

【図2】第5の発明に係るDMAコントローラ内蔵マイコンのブロック図である。

【図3】従来のDMAコントローラ内蔵マイコンのブロック図である。

【図4】DMA転送を説明するためのタイミング図である。

【図5】DMA転送のモデル図である。

【図6】従来例のDMA転送を説明するタイミング図である。

【図7】第3、4の発明に係る一実施例のDMA転送を説明するタイミング図である。

【図8】従来例における転送バラメータの配置図であ

る。

【図9】第1の発明の一実施例における転送パラメータの配置図である。

【図10】第3、4の発明の一実施例における転送パラメータの配置図である。

【図11】SARのラッチの書き込み制御部の回路図である。

【図12】第2の発明に係るDMAモードレジスタの2種類のビットに対応するレジスタの書き込み制御部分の回路図である。

【図13】第2の発明に係るDMAモードレジスタの2種類のビットに対応するレジスタの書き込み制御部分の回路図である。

【図14】第3、4の発明に係るDMAモードレジスタの書き込み制御部の回路図である。

【図15】第5の発明に係るタイマ内のカウントレジス\*

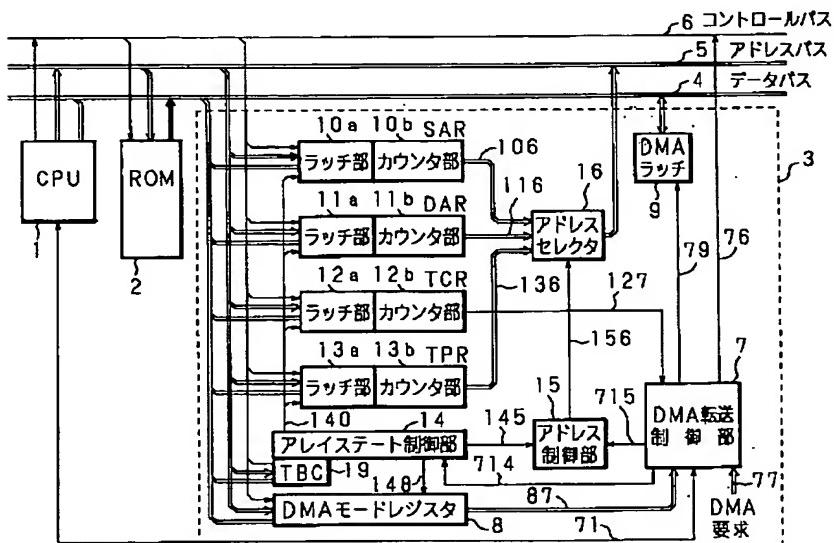
\*タの書き込み制御部分の回路図である。

【図16】第5の発明に係るDMAコントローラの動作を示すタイミング図である。

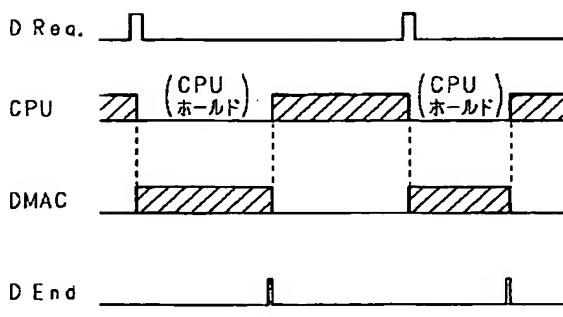
【符号の説明】

- |                    |            |
|--------------------|------------|
| 1                  | CPU        |
| 2                  | ROM        |
| 3                  | DMAコントローラ  |
| 4                  | データバス      |
| 5                  | アドレスバス     |
| 6                  | コントロールバス   |
| 7                  | DMA転送制御部   |
| 8                  | DMAモードレジスタ |
| 9                  | DMAラッチ     |
| 10a, 11a, 12a, 13a | ラッチ部       |
| 10b, 11b, 12b, 13b | カウンタ部      |
| 20                 | タイマ        |

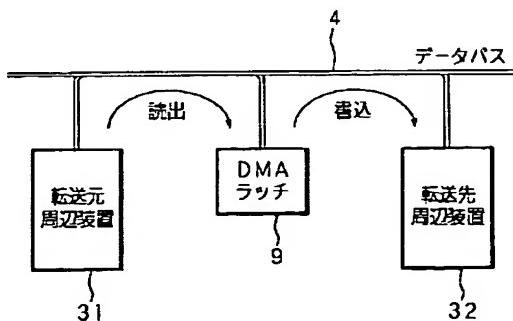
【図1】



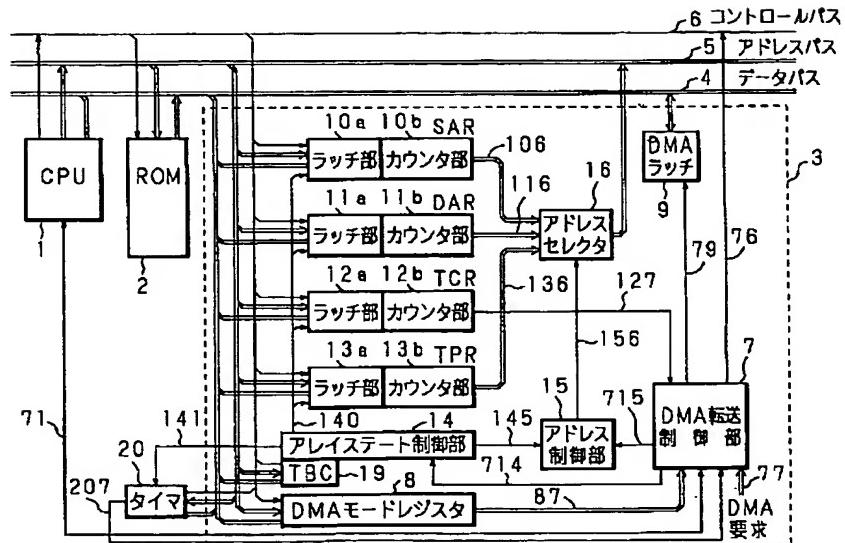
【図4】



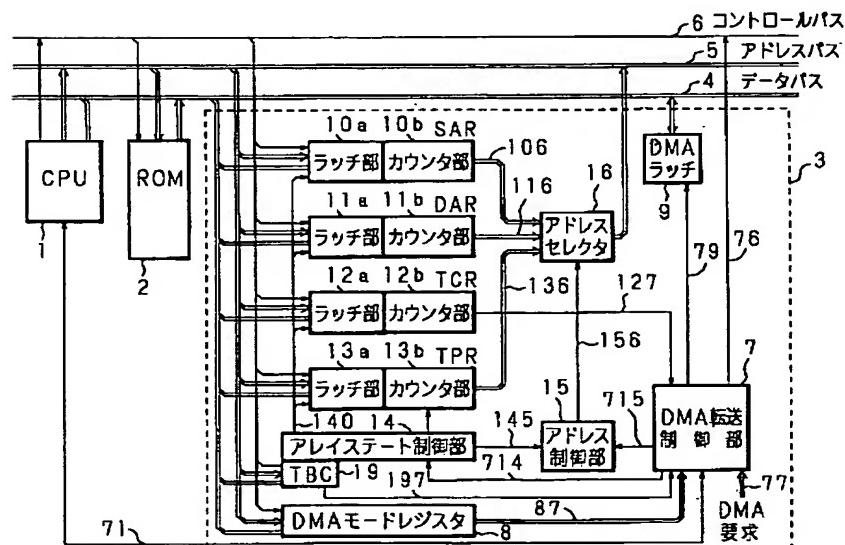
【図5】



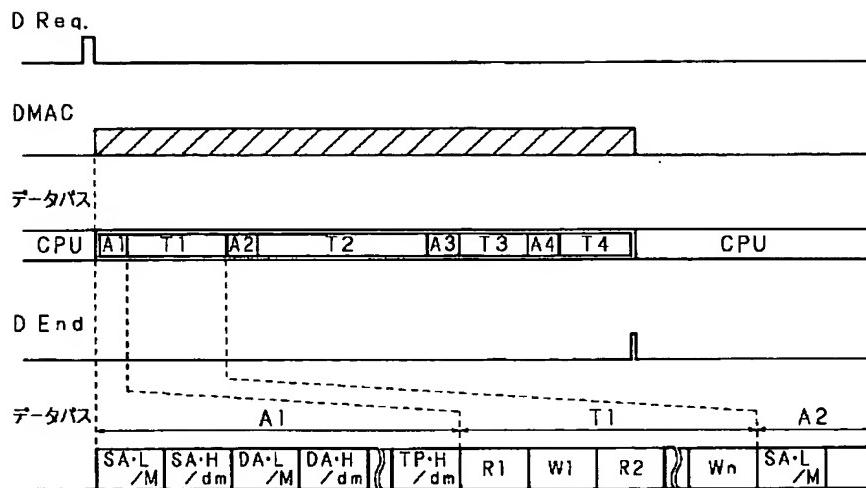
【図2】



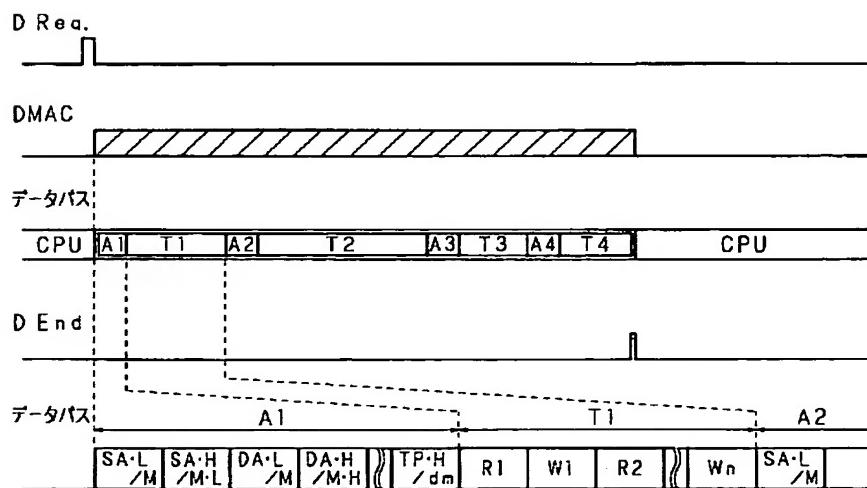
【図3】



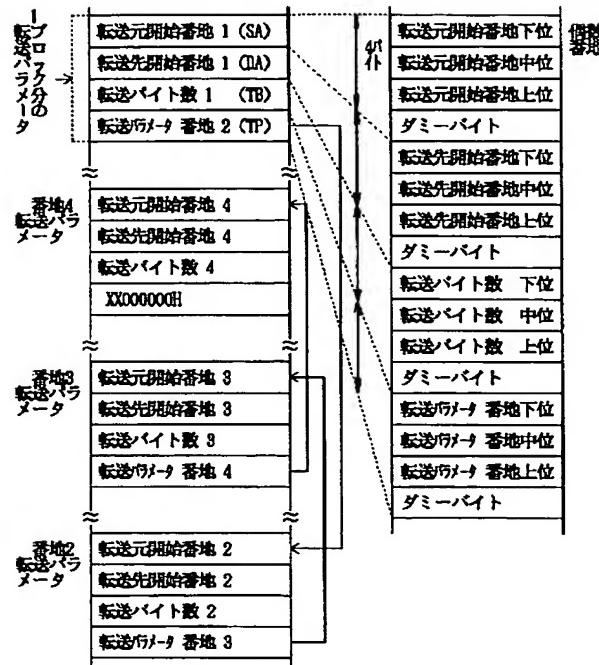
【図6】



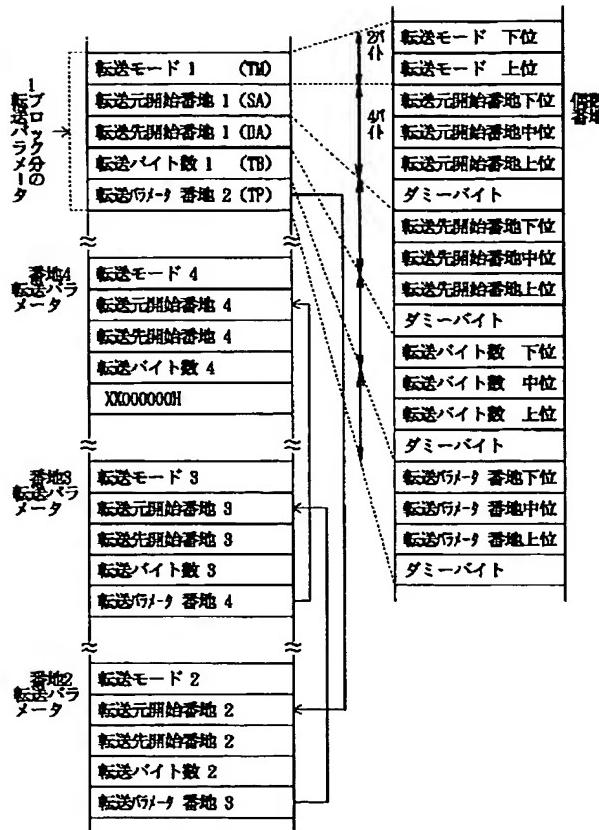
【図7】



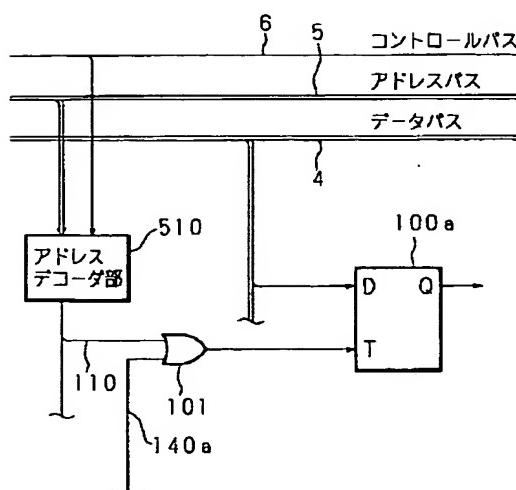
【図 8】



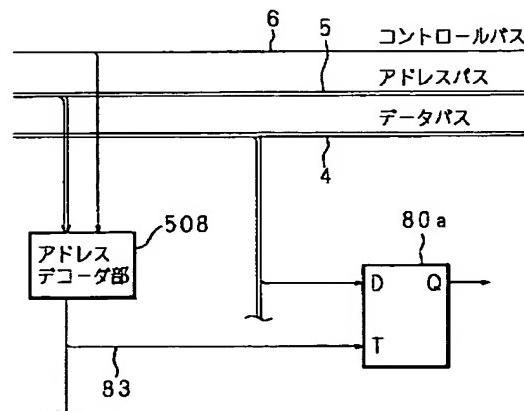
【図 9】



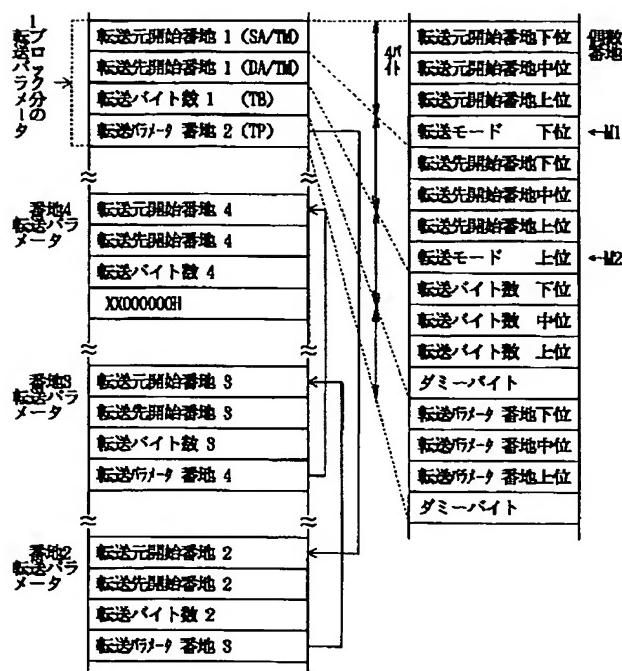
【図 11】



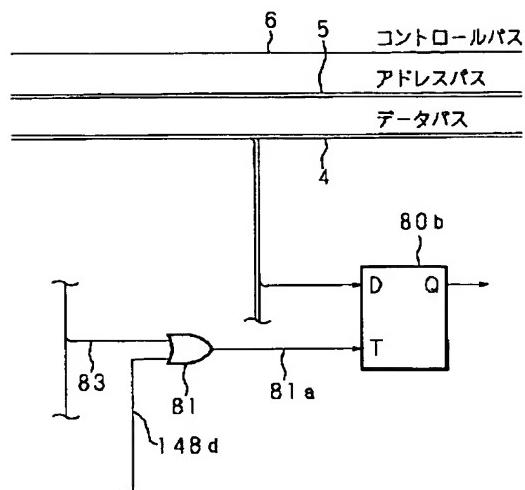
【図 12】



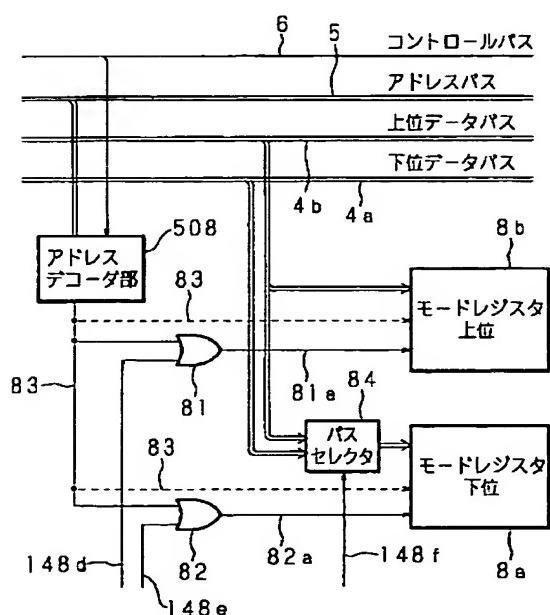
〔図10〕



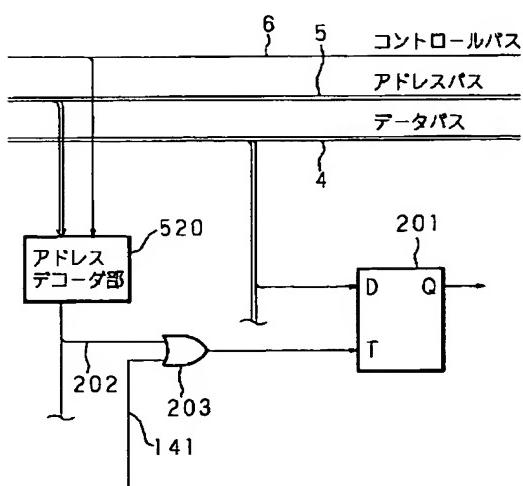
(図13)



【図14】



[図15]



【図16】

